

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)
[First Hit](#)



Generate Collection

L4: Entry 23 of 23

File: JPAB

Feb 8, 1983

PUB-NO: JP358021838A
DOCUMENT-IDENTIFIER: JP 58021838 A
TITLE: WAFER TEST SYSTEM

PUBN-DATE: February 8, 1983

INVENTOR-INFORMATION:

NAME

COUNTRY

YASUDA, TOSHIMI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NEC CORP

APPL-NO: JP56121144

APPL-DATE: July 31, 1981

US-CL-CURRENT: 324/758

INT-CL (IPC): H01L 21/66

ABSTRACT:

PURPOSE: To lengthen a service life of probes on a probe card by a system wherein, after checking all effective semiconductor elements on a wafer, the wafer is sent to a step where marks are put on the surfaces of the semiconductor elements which have been judged to be failed products.

CONSTITUTION: A wafer is fed to a prober 2 through a wafer supply channel 21, and it is positioned so that probes on a probe card coincide with electrodes provided in chips on the wafer. First, those probes are brought into contact with the electrodes of the chips. When a check for the chips on contact with the prober 2 is set, the prober 2 sends a check starting signal to a tester 1 through a signal channel 11. Upon receipt of the check starting signal, the tester 1 sends a signal for check of chip through a signal channel 12, and then receives a response signal from the chips through the same signal channel 12. After sending the check starting signal to the tester 1, the prober 2 sends a chip address signal to a marking station 3. After completion of check for the chips, a failure signal is sent to the station 3 for marking.

COPYRIGHT: (C)1983,JPO&Japio

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭58—21838

⑤ Int. Cl.³
H 01 L 21/66

識別記号

庁内整理番号
6851—5F

⑬ 公開 昭和58年(1983)2月8日

発明の数 1
審査請求 未請求

(全 4頁)

⑭ ウエハテストシステム

東京都港区芝五丁目33番1号日
本電気株式会社内

⑯ 特 願 昭56—121144

⑰ 出 願 人 日本電気株式会社

⑱ 出 願 昭56(1981)7月31日

東京都港区芝5丁目33番1号

⑲ 発 明 者 安田利美

⑳ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

ウエハテストシステム

2. 特許請求の範囲

ウエハ上に配置された半導体素子の電気的特性を検査する工程において、該ウエハ内の有効な前記半導体素子の全部を検査した後該ウエハ内の不良品と判断された前記半導体素子の表面に印を付ける工程を有することを特徴とするウエハテストシステム。

3. 発明の詳細な説明

本発明は半導体ウエハに素子形成後、ウエハ状態で行なうテストに用いられるウエハテストシステムに関する。

従来、ウエハ内の半導体素子(以下チップと記す)の電気的特性を検査する工程では、チップの良品と不良品を判断する通常テストと称される装

置からチップへ入力信号を送り、テストはチップからの出力信号を受けその出力信号を判断し、チップが良品であるか不良品であるか判断する。

通常、上記の入力信号および出力信号は、チップに設けられた電極の位置に合致するように探針基板(以下プローブカードと記す)に配置された探針によってテストから送出され、あるいはテストへ送入される。プローブカード上に配置された探針と、チップ上に設けられた電極を接触させる装置を通常プローバと称する。テストはチップからの出力信号を判断し良品であるか不良品であるかを判断し、不良品の場合はプローバへ不良信号を送出する。プローバは上記の不良信号に従ってチップ表面に印を付けるマーカと称する装置を動作させ不良品チップの表面に印を付ける。

一般に、マーカはプローバ上に1個あるいは複数個設けられ、マーカのチップ表面に対する作用部はプローブカード上の探針群の中央付近で作用するように設定されている。また、チップ表面に印をつける動作(以下マーキングと記す)は1個

のチップを検査した後、直ちに行なわれる。通常マーカーは、インクをチップ表面に付着させる型式と、硬質の針でチップ表面を打ち損傷させる型式と、レーザー光をチップ表面に照射しチップ表面の一部を溶解させる型式とが使用される。上記の3種のマーカーのどの型式においても、マーカーの作用部が、プローブカードの探針群の中央部であり、マーキングの際にマーカーの作用部がプローブカードの探針に接触し、探針を汚染あるいは損傷させることがあり、探針の寿命を短くする原因になりうる。また、通常1つのチップを検査し、不良品と判断されると直ちにマーキングが行なわれるため、マーキング時のインクあるいはチップ表面を硬質の針またはレーザー光により損傷させたときチップ表面から生じる微小破片が他の未検査チップの表面に飛散付着することによって電気的特性が変化し、本来、良品であるチップが不良品となることがある。今一つは、最近多用されている高周波測定（以下HF測定と記す）においてはテストからチップへの入力信号あるいはチップからテ

- 3 -

以下図面をもって説明する。

第1図、第2図および第3図は本発明の実施例である。

第1図において、1はテスト、2はプローバ、3はマーキングを行うマーキングステーションであり、11・12・13・14はテストとプローバ、テストとマーキングステーションおよびプローバとマーキングステーションの相互間で入出力される電気信号の経路であり、21・22・23はウエハの移動を示す経路である。

第2図はウエハ表面を模式的に表わした図で、第2図の例ではチップ1を原点とし、下方向をプラスY、右方向をプラスXと規定している。すなわち、チップ2は $(X, Y) = (0, 1)$ の座標であり、チップ3は $(X, Y) = (1, -1)$ の座標である。またチップ4は検査する最後の有効チップである。従って第2図において、チップ1はアドレス $(0, 0)$ であり、チップ2はアドレス $(0, 1)$ であり、チップ3はアドレス $(1, -1)$ であり、以下ウエハ内の有効チップをアドレスで表わ

- 5 -

スタへの出力信号の授受を行うテストステーションと称する装置が、プローブカード上に極めて接近して設けられる。このため通常プローバのプローブカード取付部周辺に設けられるマーカーの設置空間を確保しなければならない。

本発明の目的は、これらの前記の問題を解決するため、ウエハ内の有効チップを全て検査した後、ウエハをプローブカードから遠ざけた状態でマーキングするものである。

この方法によれば、前記のマーカー作用部によるプローブカード上の探針群の汚染および損傷、インク、およびマーキング時の微小破片の未検査チップへの飛散付着による電気的特性の変化およびHF測定の際のマーカーのための空間確保の問題を解決することができる。

さらにウエハ内の有効チップを全部検査した後のマーキングにおいて、マーカーを複数個使用し、同時に複数個の不良チップにマーキングを行なえば、ウエハ全体の検査時間を短縮することが可能となる。

- 4 -

すことができる。

第1図において、ウエハはウエハ供給路21からプローバ2へ供給され、プローブカード上の探針群とウエハ内のチップに設けられた電極とを合致させるように目合せを行い、初めに第2図のチップ1について探針群と電極とを接触させる。プローバ2で接触されたチップ1の検査の準備ができると、プローバ2はテスト1へ信号路11を介して検査開始の信号を送る。テスト1は検査開始の信号を受けると、信号路12を介してチップ検査のための信号を送り、チップからの応答信号を同じく信号路12を介して受け取る。またプローバ2は検査開始の信号をテスト1へ送った後マーキングステーション3へチップ1のアドレス信号 $(0, 0)$ を送る。チップ1の検査が終了すると、テスト1は信号路14を介して不良信号をマーキングステーション3へ送る。このとき当然に、チップ1の検査結果が良品であれば不良信号は送られない。

このようにしてチップ1のアドレスと良品であ

- 6 -

るか不良品であるかの情報がマーキングステーション3へ送られることになる。

テスト1はチップ1の検査を終了すると、マーキングステーション3へ信号路14を介して不良信号を送った後、プローブ2へ信号路11を介して検査終了の信号を送り、プローブ2はこれを受けると、プローブカード上の探針とチップの電極を非接触とし、ウエハを移動させチップ2の電極とプローブカード上の探針群を接触させる。以下、前記と同様な動作を行い、ウエハ内の有効チップ全部について検査を行い、各チップのアドレスと良品であるか不良品であるかの信号をマーキングステーション3へ送る。最後の有効チップ4の検査が終了すると、プローブ2はウエハをウエハ移動路22を介してマーキングステーション3へ送る。このときマーキングステーション3では、第3図の如くアドレスに対応して不良品、良品が記憶されている。第3図は一例であって、アドレス(0,0)のチップ1は不良品、アドレス(0,1)のチップ2は良品、アドレス(1,-1)のチップ3は不良品となっている。

- 7 -

ができ、ウエハ1枚当りのマーキング時間を短縮することが可能となる。

以上のように本発明によれば、前記説明したようにプローブカードの探針の寿命を長くすることができ、マーキングにより未検査チップの電気的特性を変化させることなく検査でき、HF測定時にプローブ上にマーカの空間を確保することもなく、さらには全体の検査時間を短縮することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例のシステムのブロック図、第2図はウエハ表面図、第3図はテスト結果がこのシステムに蓄積されていることを示すマップである。

なお、図において、1……テスト、2……プローブ、3……マーキングステーション、11, 12, 13, 14……信号経路、21, 22, 23……ウエハの移動経路、である。

代理人 弁理士 内 原

晋

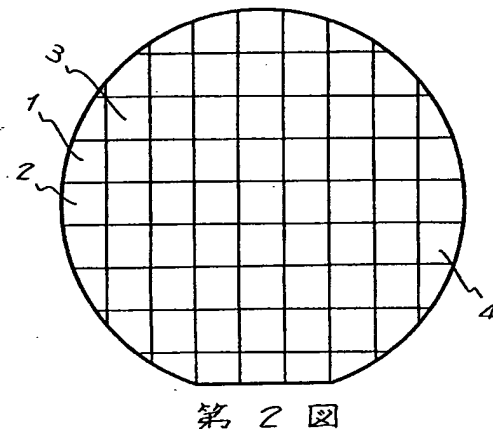
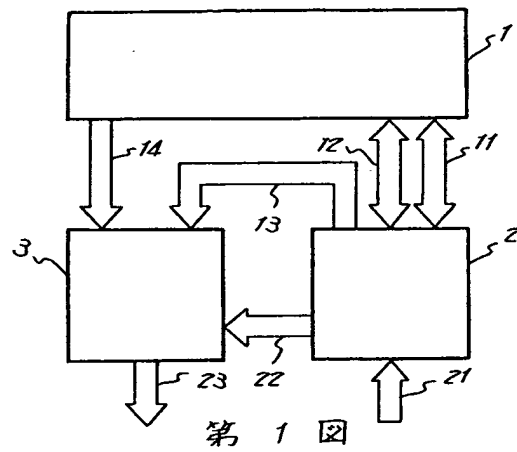


- 9 -

チップ3は不良品となっている。

移動路22を介して送り込まれたウエハは、チップにマーキングできる位置に設置され、各チップに対してマーキングできるようにウエハを移動できるようにになっている。マーキングステーション3は第3図の情報に従って不良チップのアドレスが示すウエハ内のチップがマーカの作用部に到達したとき、不良チップにマーキングする。すなわち第3図において、まずアドレス(0,0)のチップ1にマーキングし、次の不良チップであるアドレス(1,-1)のチップにマーキングできるようにウエハを移動させ、マーキングを行う。このようにウエハ内の不良チップ全部にマーキングし、終了するとウエハ収納路23を介してウエハがマーキングステーション3より送り出され収納される。そして、次のウエハがウエハ供給路21よりプローブ2へ供給され、前記と同様な検査およびマーキングを行う。さらにマーキングステーション3において、マーカを複数個使用すれば、同時に複数個の不良チップにマーキングすること

- 8 -



アドレス	良品/不良品
(0, 0)	不良品
(0, 1)	良品
(1, 1)	不良品
⋮	⋮

第 3 図